

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-276500

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

G06F 17/50
G01R 31/28
G01R 31/3183
G06F 11/22
G06F 11/26
H01L 21/82

(21)Application number : 11-077428

(71)Applicant : TOSHIBA CORP

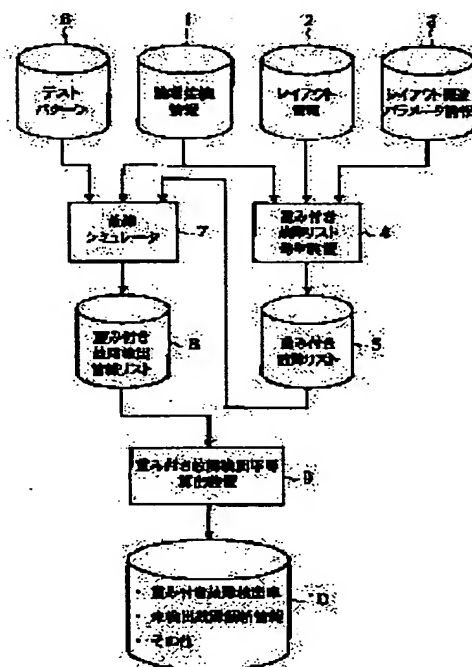
(22)Date of filing : 23.03.1999

(72)Inventor : NOZUYAMA YASUYUKI

(54) EVALUATING DEVICE FOR WEIGHTED FAULT DETECTION RATE AND ITS EVALUATING METHOD**(57)Abstract:**

PROBLEM TO BE SOLVED: To use the result of fault simulation for quality improvement really in a manufacture site by weighting layout relative parameter information relating to fault occurrence and making it correspond by logical connection nodes etc.

SOLUTION: Logical connection information 1 composed of a logical connection net, etc., and layout information 2 regarding the pattern of a layout are obtained. A weighted fault list generating device 4 inputs layout relative parameter information 3 related to an assumed fault to a logical connection node, etc., from the layout information 2 to weight the assumed fault, and outputs the result as a weighted fault list 5. Then the logical connection information 1, a test pattern 6 to be evaluated, and the weighted fault list 5 are inputted to a fault simulator 7 and then a weighted fault detection information list 8 is outputted. A fault detection rate calculating device 9 calculates a weighted fault detection rate, etc., by using the list 8 as input information and outputs output information 10.

**LEGAL STATUS**

[Date of request for examination]

16.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-276500
(P2000-276500A)

(43)公開日 平成12年10月6日(2000.10.6)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト ⁸ (参考)
G 0 6 F 17/50		G 0 6 F 15/60	6 7 0 D 2 G 0 3 2
G 0 1 R 31/28		11/22	3 1 0 B 5 B 0 4 6
31/3183		11/26	5 B 0 4 8
G 0 6 F 11/22	3 1 0	G 0 1 R 31/28	F 5 F 0 6 4
11/26			Q
審査請求 未請求 請求項の数 8 O L (全 11 頁) 最終頁に続く			

(21)出願番号 特願平11-77428

(22)出願日 平成11年3月23日(1999.3.23)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 野津山 泰幸

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 2C032 AA01 AC08 AE12 AG01 AG10

5B046 AA08 DA05 JA04 JA05 JA07

5B048 AA20 DD05 DD16 FF03

5F064 BB07 BB26 CC12 DD09 DD25

EE14 EE15 EE19 EE26 EE52

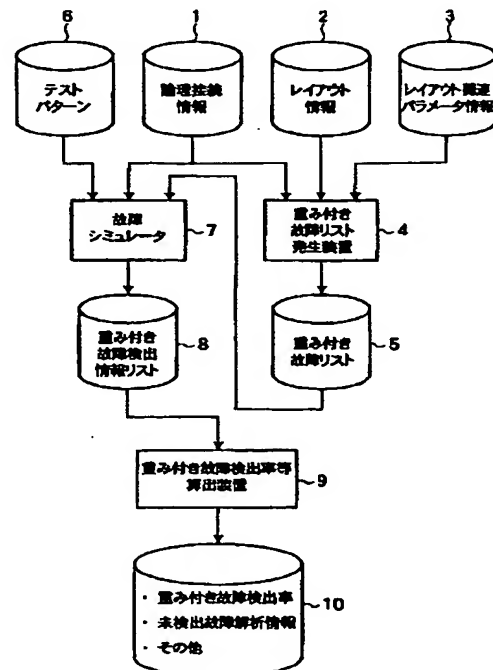
HH06 HH09 HH10 HH13

(54)【発明の名称】 重み付き故障検出率評装置及びその評価方法

(57)【要約】

【課題】LSIの製造品質と高精度に対応付けられる故障検出率の高いテストパターンの作成に役立つ重み付き故障検出率評価装置と評価方法を提供する。

【解決手段】本発明の故障検出率評価装置と評価方法は、システムLSI等の大規模LSIにおいて、故障シミュレーションの結果を製造現場での品質向上に生かすために、各論理接続ノードないし内部の基本セルの入出力端子に仮定される各故障に対して、実際のレイアウトデータから抽出された故障発生に関する各種データと関連付けて重み付けし、これを用いて故障シミュレーションの結果から重み付き故障検出率を計算する機能を有する。このようにすれば、立上げ途上のプロセスにおいて発生頻度の高い故障に対する故障検出率が高精度に把握され、重み付けされた故障検出率が十分高くなるようにテストパターンを追加作成することにより、LSIの製造品質を効率的に向上させることができる。



1

【特許請求の範囲】

【請求項1】 論理回路の論理接続情報と、
前記論理回路のレイアウト情報と、
少なくとも前記論理回路の入出力端子も含めて内部の基本セルの入出力端子同士を接続する論理接続ノードに仮定される、前記論理接続情報から求めた故障に関連付けられて前記レイアウト情報から抽出されるべきレイアウト関連パラメータ情報と、を入力情報とし、
前記論理回路の重み付き故障リストを出力する重み付き故障リスト発生装置を備えることを特徴とする故障検出率評価装置。

【請求項2】 論理回路の論理接続情報と、
前記論理回路のレイアウト情報と、
少なくとも前記論理回路の入出力端子も含めて内部の基本セルの入出力端子同士を接続する論理接続ノードに仮定される、前記論理接続情報から求めた故障のリストと、
前記故障に関連付けられて前記レイアウト情報から抽出されるべきレイアウト関連パラメータ情報と、を入力情報とし、
前記論理回路の重み付き故障リストを出力する重み付き故障リスト発生装置を備えることを特徴とする故障検出率評価装置。

【請求項3】 前記論理接続情報から求めた故障は、少なくとも前記論理回路内部の基本セルの入出力端子同士を接続する論理接続ノード、及び、前記論理回路内部の基本セルの入出力端子に仮定された故障からなることを特徴とする請求項1及び2記載の故障検出率評価装置。

【請求項4】 前記重み付き故障リストと、故障シミュレータから得られた前記論理回路の故障検出情報リストとを入力情報とし、少なくとも前記論理回路の重み付き故障検出率と重み付き検出・未検出故障リストとを出力する重み付き故障検出率算出装置をさらに備えることを特徴とする請求項1記載の故障検出率評価装置。

【請求項5】 前記論理回路の論理接続情報と、前記重み付き故障リストと、前記論理回路に対するテストパターンとを入力情報として故障シミュレーションを実行して得られる前記論理回路の故障検出情報リストを入力情報とし、少なくとも前記論理回路の重み付き故障検出率と重み付き故障検出情報リストとを出力する重み付き故障検出率等算出装置をさらに備えることを特徴とする請求項1記載の故障検出率評価装置。

【請求項6】 論理回路の論理接続情報と、前記論理回路のレイアウト情報と、少なくとも前記論理回路の入出力端子も含めて内部の基本セルの入出力端子同士を接続する論理接続ノードに仮定される、前記論理接続情報から求めた故障に関連付けられて前記レイアウト情報から抽出されるべきレイアウト関連パラメータ情報とを重み付き故障リスト発生手段に入力し、重み付き故障リスト

2

を出力するステップと、
前記論理回路の論理接続情報と、前記重み付き故障リストと、前記論理回路に対するテストパターンとを入力情報として故障シミュレーションを実行して得られる前記論理回路の故障検出情報リストを出力するステップと、
前記故障検出情報リストを重み付き故障検出率算出手段に入力し、少なくとも、前記論理回路に対する重み付き故障検出率と未検出故障解析情報とを出力するステップと、
を備えることを特徴とする故障検出率評価方法。

【請求項7】 論理回路の論理接続情報と、前記論理回路のレイアウト情報と、少なくとも前記論理回路の入出力端子も含めて内部の基本セルの入出力端子同士を接続する論理接続ノードに仮定される、前記論理接続情報から求めた故障のリストと、前記故障に関連付けられて前記レイアウト情報から抽出されるべきレイアウト関連パラメータ情報とを重み付き故障リスト発生手段に入力し、重み付き故障リストを出力するステップと、
前記論理回路の論理接続情報と、前記故障のリストと、
前記論理回路に対するテストパターンとを入力情報として故障シミュレーションを実行して得られる前記論理回路の故障検出情報リストを出力するステップと、
前記故障検出情報リストと前記重み付き故障リストとを重み付き故障検出率算出手段に入力し、少なくとも、前記論理回路に対する重み付き故障検出率と未検出故障解析情報とを出力するステップと、
を備えることを特徴とする故障検出率評価方法。

【請求項8】 前記論理接続情報から求めた故障は、少なくとも前記論理回路内部の基本セルの入出力端子同士を接続する論理接続ノード、及び、前記論理回路内部の基本セルの入出力端子に仮定された故障からなることを特徴とする請求項6及び7記載の故障検出率評価方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は論理回路の故障検出率評価装置と評価方法に係り、特に論理LSI、VLSI等のテスト技術、故障シミュレーション技術、及び製造品質向上技術に関するものである。

【0002】

【従来の技術】従来の故障検出率評価装置と評価方法には、LSIやその内部の論理回路における内部ノードに適切な故障を仮定し、故障シミュレーション技術を用いてLSIの動作をテストするテストパターンが故障をどの程度検出できるかを計算することにより、前記テストパターンの故障検出率の評価を行うものがある。

【0003】特に、内部ノードが“0”又は“1”に固定される縮退故障を仮定故障とする故障シミュレーションは比較的計算が容易であり、求められた故障検出率がテストパターンを用いて選別を行なった後の「良品」に

3

混在する不良品の割合や、LSI出荷後の市場で発生する不良率と強い相関を示すことが知られている。

【0004】従って、テストパターンの故障検出率が低い場合には、テストパターンを追加・改善して高い故障検出率を達成することにより、ある程度LSIの出荷品質を向上させることができる。しかし、上記の相関は必ずしも厳密なものではないので、十分高い製造品質を維持しようとするれば極めて高い故障検出率が要求されることになる。

【0005】一方、テストパターンの追加・改善は一般に人手により経験的になされているため、ある程度以上の故障検出率を達成するためには膨大な期間が必要となり、十分高い製造品質を達成するためにはさらに高度なテスト容易化設計手法を用いなければならないという問題があった。

【0006】但し、テスト容易化設計手法においても、例えば従来ATPG (Automatic Test Pattern Generator) によりテストパターンを自動発生させ、これを用いて、ないしはこれを前記テストパターンに追加して改善したテストパターンを用いてLSIやその内部の論理回路のテストを行うこともなされてきたが、本質的には内部ノードに一律に“0”及び“1”縮退故障を仮定して、前記テストパターンの故障検出率を評価する方法を用いており、ある程度以上の故障検出率を得るためにはより多くのテスト用付加回路、ないし膨大なCPU時間が必要となり、こうしたコストの割には十分高い製造品質を達成することができないという問題があった。

【0007】ここで、従来の故障検出率評価において、前記相関がある程度までしか期待できない理由について説明する。実際のLSIでは、その入出力端子を含め内部の基本セルの入出力端子同士を接続する論理接続ノードないし内部の基本セルの入力端子ないし出力端子（以下特に区別する場合を除き「論理接続ノード等」と呼ぶ）のそれぞれに対応する部分（入力端子・出力端子は双方向端子も含む）は、レイアウト上短い配線や長い配線を伴うもの、ただ1個のコンタクトからなる接合部を全く含まないものや多く含むもの等、様々なものが存在する。

【0008】ここで、基本セルとは、基本的な論理動作を行う論理回路を指すが、最小のものとして単一の素子の場合もあり、また、比較的複雑な論理動作するものも含むものとする。

【0009】一方、立上げ途上のプロセスでは歩留りが高いレベルで安定するようになるまでに、例えばコンタクトのオープン不良、配線間ショート等の特定モードの不良が頻発する場合がある。従って、このような状況では実際の故障発生頻度は各論理接続ノード等ごとに異なっている。

【0010】しかしながら、従来の故障シミュレーションでは論理接続ノード等の各々に対して、“0”縮退及

4

び“1”縮退の各2個の故障を一律に仮定し、所定のテストパターンがこれらの故障をどの程度検出できるかという形で故障検出率が求められるに過ぎなかった。

【0011】このため、従来の故障シミュレーションでは、いかなる不良モードが発生し易いかという意味で対象とするLSIの製造プロセスと故障シミュレーション結果とを対比し、製造プロセス上の問題点を指摘することは極めて困難であった。

【0012】また、以上の説明から明らかなように、現状の故障シミュレーションでは基本的にLSIの論理接続ノード等に、“0”縮退及び“1”縮退からなる各2個の故障を一律に仮定しているため、本来プロセスやレイアウトのパターン形状が異なれば故障の発生頻度が論理接続ノード等ごとに異なるという問題に適切に対応することができなかった。

【0013】しかし、本来プロセスやレイアウトのパターン形状が異なれば論理接続ノード等における故障発生頻度が変化する可能性が大きく、また、上記のように従来の故障シミュレーションでは、故障の発生に強く関連するレイアウト関連パラメータ情報の量が各論理接続ノード等ごとにばらつくという点が全く無視されていた。

【0014】ここで、レイアウト関連パラメータ情報とは、対象とするLSIのレイアウト情報から、着目する論理接続ノード等に仮定される故障と関連付けて抽出されるべきレイアウトデータの構成要素、ないし、及び、これら要素を決定するための制約条件・規則等である。

【0015】具体的には、前記レイアウト関連パラメータ情報には、例えば配線の長さや、ただ1個のコンタクトからなる接合部の数等、故障発生に頻度に関わるレイアウト上の情報が含まれる。

【0016】また、レイアウト関連パラメータ情報の量とは、前記レイアウト上の情報に従って決定される量ないし値であって、着目する論理接続ノードごとに付与される故障発生に関する重み付け量を求める際の基礎をなすものである。なお、レイアウト関連パラメータ情報の量については本発明の実施の形態でさらに具体的に説明する。

【0017】このように、従来の故障シミュレーションでは各論理接続ノード等に仮定される故障と、レイアウト上現実に故障を発生しやすい箇所との対応が考慮されていないため、テストパターン作成者は目的とするLSIの製造品質向上のため、ひたすら一定水準以上の故障検出率の達成をめざしてテストパターンの追加作成を強いられる結果になり、膨大なりソースの投入が必要となる割には実質上、高い故障検出率の効果が現れ易い量産立上げの初期にタイムリーに品質の良いテストパターンを準備することができないという問題があった。

【0018】

【発明が解決しようとする課題】上記したように、従来の故障検出率評価装置と評価方法には、論理接続ノード

5

等に仮定された故障とレイアウト上現実に故障を発生しやすい箇所との対応が考慮されていないため、膨大なリソース投入の割には品質の良いテストパターンを準備することができないという問題があった。

【0019】本発明は上記の問題点を解決すべくなされたもので、故障の発生に強く関連するレイアウト関連パラメータ情報の量を論理接続ノード等ごとに対応させることにより、わずかなリソースで短期間に高品質のテストパターンを準備し、高い故障検出率の効果が現れ易い量産立上げの初期にLSIの製造品質向上に大きく寄与する重み付き故障検出率評価装置と評価方法を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明の重み付き故障検出率評価装置と評価方法は、システムLSI等の大規模LSIにおいて、故障シミュレーションの結果を真に製造現場での品質向上に生かすため、各論理接続ノード等に仮定される故障のそれぞれを、実際のレイアウト情報から抽出される故障発生に関する各種情報と関連付けて重み付けし、この重み付け量と従来の故障シミュレーションの結果とを用いて重み付き故障検出率等を計算することを特徴とする。

【0021】具体的には本発明の故障検出率評価装置は、論理回路の論理接続情報と、前記論理回路のレイアウト情報と、少なくとも前記論理回路の入出力端子も含めて内部の基本セルの入出力端子同士を接続する論理接続ノードに仮定される、前記論理接続情報から求めた故障に関連付けられて前記レイアウト情報から抽出されるべきレイアウト関連パラメータ情報と、を入力情報として、前記論理回路の重み付き故障リストを出力する重み付き故障リスト発生装置を備えることを特徴とする。

【0022】好ましくは前記故障検出率評価装置において、前記論理接続情報から求めた故障は、少なくとも前記論理接続ノード、及び、論理回路内部の基本セルの入出力端子、及び、前記論理回路内部の出力端子のいずれかに仮定される故障からなることを特徴とする。

【0023】また、好ましくは前記故障検出率評価装置は、前記論理回路の前記論理接続情報と前記論理回路に対するテストパターンと、前記重み付き故障リストとを故障シミュレータに入力して故障シミュレーションを実行して得られた前記論理回路の重み付き故障検出情報リストを入力情報とし、少なくとも前記論理回路の重み付き故障検出率を出力する重み付き故障検出率等算出装置をさらに備えることを特徴とする。

【0024】前記算出装置は、未検出故障を効果的に減少させるテストパターンの追加作成を容易にするための各種未検出故障解析情報も出力するようになっている場合もある。

【0025】また、本発明の故障検出率評価方法は、論理回路の論理接続情報と、前記論理回路のレイアウト情

6

報と、少なくとも前記論理回路の入出力端子も含めて内部の基本セルの入出力端子同士を接続する論理接続ノードに仮定される、前記論理接続情報から求めた故障に関連付けられて前記レイアウト情報から抽出されるべきレイアウト関連パラメータ情報とを重み付き故障リスト発生手段に入力して、前記論理回路の重み付き故障リストを出力するステップと、前記論理回路の論理接続情報と、前記論理回路のテストパターンと、前記重み付き故障リストとを故障シミュレータに入力して故障シミュレーションを実行することにより重み付き故障検出情報リストを出力するステップと、前記重み付き故障検出情報リストを重み付き故障検出率等算出手段に入力し、少なくとも、前記論理回路に対する重み付き故障検出率等を出力するステップとを備えることを特徴とする。

【0026】好ましくは前記故障検出率評価方法において、前記論理接続情報から求めた故障は、少なくとも前記論理接続ノード、及び、論理回路内部の基本セルの入出力端子、及び、前記論理回路内部の出力端子のいずれかに仮定される故障からなることを特徴とする。

【0027】このようにして、立上げ途上のプロセスを用いたLSIの製造工程において、不良が発生しやすい工程に関する故障シミュレーション結果に対し、前記レイアウト関連パラメータ情報による重み付けを施した形で故障検出率を求めることができるので、立上げ途上のプロセスにおいて、発生頻度の高い故障に対する故障検出率が把握され、この重み付けされた故障検出率が十分高くなるようにテストパターンを追加作成することによりLSIの製造品質を効率的に向上させることができる。

【0028】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係る重み付き故障検出率評価装置を示す図である。現状の故障シミュレーションは、通常対象とする論理回路の内部の多数の基本セル及びこれらを前記論理回路の入出力端子も含め、相互に接続する配線からなるゲートレベルの論理接続ネットに対して行なわれるため、ゲートレベルの論理接続ネットを用いて説明する。実際には素子レベルの接続ネットが混在することもあるが、この場合でも本発明の趣旨を適用することは容易である。

【0029】また、近い将来、HDL (Hardware Description Language) で記述された論理接続ネットに対して故障シミュレーションが行われる可能性もあるが、この場合前記ネットの論理接続ノード (wire) 上に故障が仮定されると考えられる。この場合でも本発明の趣旨を適用することは容易である。

【0030】第1の実施の形態の故障検出率評価装置は、論理接続ネットからなる論理回路ないしLSIの論理接続情報1と、レイアウトのパターンに関するレイア

7

ウト情報2と、レイアウト情報から論理接続ノード等に仮定される故障に関連付けて抽出されるべきレイアウトデータの構成要素、ないし、及び、これら要素を決定するための制約条件・規則等（最小ピッチ、最小サイズ等）よりなるレイアウト関連パラメータ情報3とを入力情報として、論理接続ネットの各接続ノード等に仮定された故障に重み付けを行う重み付き故障リスト発生装置4を備えている。この重み付き故障リスト発生装置4で重み付けされた故障は、重み付き故障リスト5として前記重み付き故障リスト発生装置4から出力される。

【0031】次に、前記論理接続情報1と故障検出能力の評価対象であるテストパターン6と前記重み付き故障リスト5を従来の故障シミュレータ7に入力することにより、重み付き故障検出情報リスト8が出力される。この部分については前記重み付き故障リスト5の「重み」部分を前記故障シミュレータ7用の故障リストにおいて「コメント」扱いになる（無視される）ようにしておけば、従来の故障シミュレーションと何等異なることなく実施できる。

【0032】こうしたやり方が困難な場合は、前記重み付き故障リスト5を「重み」部分とその他の部分（実は故障シミュレータ7が解釈できる重み付けされていない故障リスト）にプログラムの分割して、後者の部分のみを故障シミュレータ7への入力とし、故障シミュレーションの結果としての故障検出情報リストに対し、前記「重み」を付加できるようにすれば良い。いずれにしてもこうした類の処理は本発明の範疇に含まれるものである。

【0033】第1の実施の形態の故障検出率評価装置は、前記重み付き故障検出情報リスト8を入力情報として、重み付き故障検出率等からなる出力情報10を出力する重み付き故障検出率等算出装置9をさらに備えている。

【0034】ここで、重み付き故障検出情報リスト8には、「検出」から、通常「ポテンシャル検出」と呼ばれる状況依存の検出、及び当該テストパターンで「未検出」まで、前記論理回路に仮定された各故障の種々の検出レベルが含まれる。

【0035】また、重み付き故障検出率等からなる出力情報10は、通常「検出」のみからなる重み付き故障検出率、及び「ポテンシャル検出」まで「検出」に含めた場合の「検出」からなる重み付き故障検出率を含む。また、論理回路内のブロック別の重み付き故障検出率を含む場合もある。さらに、未検出故障を効果的に減少させるテストパターンの追加作成を容易にするための、例えば未検出故障の論理回路内ブロック別表示、重み順表示、といった各種未検出故障解析情報を含むこともある。

【0036】上記したように、第1の実施の形態の故障検出率評価装置は、前記重み付き故障リスト発生装置4と、重み付き故障検出率等算出装置9を主要構成部と

8

し、レイアウト関連パラメータ情報3にしたがって個々の故障発生と密接に関連するレイアウト要素（問の）データの量を抽出し、従来の故障リストに前記データの量、すなわち、故障のし易さに応じて重率を付与した重み付き故障リスト5を発生する機能を備え、さらに前記故障リスト5を用いた故障シミュレーションによって得られる重み付き故障検出情報リスト8から重み付き故障検出率等を算出する機能を備えている。

【0037】このようにして得られた重み付き故障検出率、ないしさらには未検出故障解析情報等からなる出力情報10をテストパターンの故障検出力評価に用いられ、現実のLSIの故障モードに密接に対応した故障に関してテストパターンの故障検出能力を評価することができるので、現実のLSIの故障モードの検出に目標を絞って、故障検出率向上のためのテストパターンの追加を行うことが可能となり、大幅なりソースの削減を図ることができる。

【0038】次に、第2の実施の形態として、本発明の故障検出率評価方法につき、再度図1を用いて具体的に説明する。まず、対象とするLSIにおける論理回路の、その入出力端子も含め内部の基本セルの入出力端子間の接続により構成される論理接続ネット上の論理接続ノード、及び、論理回路内部の基本セルの入力端子、及び、出力端子の情報が格納された論理接続情報1と、前記論理回路のレイアウトデータが格納されたレイアウト情報2とをレイアウト上で対応させる。

【0039】一方、前記レイアウトデータにおいて、例えば、隣り合う配線との距離が最小ピッチとなっている配線部分の長さや、最小サイズのコンタクトだけで接合された部分の個数等、故障発生の原因になりやすく、論理接続ノード等に仮定された故障と対応付けたいレイアウト要素、ないし、その組み合わせ、ないし、それらを決定するための制約条件・規則等に関する情報を格納したレイアウト関連パラメータ情報3を用意する。

【0040】最近、LSIのレイアウトデータに対して、種々のサイズのダストをランダムに散布し、故障を生じ易いレイアウト部分を推定する方法が行なわれているが、レイアウト関連パラメータ情報3の作成にはこのような方法を用いてもよい。

【0041】このレイアウト関連パラメータ情報3に基づき、各論理接続ノード等に仮定された故障に対応するレイアウト関連パラメータ情報の量が、第1の実施の形態で説明した重み付き故障リスト発生装置4を用いてレイアウト情報2から抽出される。このようにして求めたレイアウト関連パラメータ情報の量を各論理接続ノード等に仮定される故障の重み付け量として、仮定故障の重み付き故障リスト5を作成する。

【0042】次に、故障検出率評価の対象であるテストパターン6と、論理接続情報1、及び、前記重み付き故障リスト5を従来の故障シミュレータに入力することに

10

20

30

40

50

9

より故障シミュレーションを実施し、前記論理接続ノード等に仮定された故障に関する重み付き故障検出情報リスト8を出力する。

【0043】この重み付き故障検出情報リスト8のデータを用いて、前記テストパターンによる重み付き故障検出率を求め、また場合によってはさらに、未検出故障を効果的に減少させるテストパターンの追加作成が容易にできるように、各種の未検出故障解析情報を作成する。これらの出力情報は、先に第1の実施の形態で説明した重み付き故障検出率等算出装置9から出力される。

【0044】次に、本発明の第3の実施の形態を図2を用いて説明する。上記した第1及び第2の実施の形態との違いは、故障リストとして通常従来の故障シミュレータの周辺装置として付随されている故障リスト発生装置104から発生される故障リスト105（重み情報なし）をそのまま利用して故障シミュレーションを実行する点である。

【0045】図中の重み付き故障リスト5は、少なくとも故障リスト105に示されている故障のそれぞれに対応付けられて、レイアウト関連パラメータ情報3に從って論理回路のレイアウト情報2から抽出された重み情報を含んでいる。また、重み付き故障検出率等算出装置109は、重み情報のない従来の故障シミュレータでの故障検出情報リスト108と、前記重み付き故障リスト5を入力情報として、重み付き故障検出率、未検出故障解析情報等からなる出力情報10を出力する。

【0046】本実施の形態は、従来の故障シミュレーション環境に本発明を単純に付加するだけであり、もっとも実現が容易であるが、故障シミュレーションの高速化のための重要な手法の1つである故障サンプリング手法を実現しようとする場合、問題が生じる点に注意しておく必要がある。

【0047】故障サンプリング手法は、対象とする論理回路内の故障をランダムに抽出し、それらに対して故障シミュレーションを実施し、ある程度の統計的誤差を認めて故障検出率を求める手法であり、故障シミュレーションに要するCPU時間を大幅に削減することが可能である。

【0048】故障サンプリング手法を本発明において実現しようとする場合、ランダム性の確保という意味では、あらかじめレイアウト情報から抽出した重みを配慮して故障サンプリングすることが望ましいが、本実施の形態では、重み情報を持たない故障リスト5に対して故障サンプリングすることになり、故障サンプリングに伴う誤差が拡大してしまう。

【0049】したがって、故障サンプリング手法の利用も考える場合は、第1及び第2の実施の形態にしたがうことが望ましい。重み付き故障に対する故障サンプリングの方法としては、例えば、全故障の重みを順に加えていき、各故障の重みを加える前から加えた後までの値の

10

領域をその故障と定義し、全体の総和で割って正規化した後、0～1の一様乱数を発生し、各乱数値を含む領域に対応する故障をピックアップするという方法もある。

【0050】ところで、通常、半導体装置の製造メーカーにおいて、不良が発生し易い製造プロセスについては、随時不良箇所に着目したプロセスTEG（Test Element Groupの略称）等を流し、不良モードの詳細な解析が行われている。また、上記したように、最近では、種々のサイズのダストをランダムに散布し、故障の起こり易いレイアウト部分を推定して、その部分を修正してから半導体装置の製造を行なうという方法も行なわれるようになった。

【0051】いずれにしても、半導体装置の製造工場に量産品を流す前に、ある程度その製造プロセスの弱点、すなわち不良が発生しやすい問題点が判明していることが多く、本発明はこのような場合に特に有効に利用することができる。

【0052】なお、このように不良を発生し易い論理接続ノード等に対する重み付けは、必ずしもこのノード等に関するレイアウト関連パラメータ情報の量と比例関係になっている必要はなく、歩留りに顕著な影響を与えるレイアウト関連パラメータが判明していれば、例えば重み付け量をレイアウト関連パラメータ情報の量の x 乗（ $x > 0$ ）に設定することができる。

【0053】例えば x は1、2、3等の整数のほか $1/2$ 、 $3/2$ 、 $5/2$ 等の分数の場合、又は0、3、1、8等の少数を含む場合がある。また、故障の発生に強く関連するレイアウト関連パラメータが複数存在する場合もありうる。

【0054】この場合A、B、C、…、を互いに異なるレイアウト関連パラメータ情報の量、各レイアウト関連パラメータ情報の重み付けの乗数を x 、 y 、 z 、…、（ $x > 0$ 、 $y > 0$ 、 $z > 0$ 、…）として、さらに α 、 β 、 γ 、…、を前記各レイアウト関連パラメータ情報間の重み付け量として、重み付けされた前記レイアウト関連パラメータ情報の量を、例えば $\alpha A^x + \beta B^y + \gamma C^z + \dots$ 、あるいは $(\alpha A)^x + (\beta B)^y + (\gamma C)^z + \dots$ 、のように数式化して用いることができる。

【0055】次に、図3ないし図5を用いて第4の実施の形態について説明する。第4の実施の形態では上記の重み付けのため、論理接続ノード等にそれぞれ対応するレイアウト上の領域を切り分ける方法について具体例を用いて説明する。

【0056】前記論理接続ノード等に対応するレイアウト領域から、前記接続ノード等に仮定される故障の発生と密接に関連するレイアウト関連パラメータ情報の量を抽出し、前記論理接続ノード等に仮定される故障の重み付け量に対応付ける。

【0057】図3（a）、図3（b）、図3（c）では、CMOSインバータを例として、ゲートレベル、素

11

子レベル、及び、パターンレイアウトレベルの論理接続が、それぞれ図示されている。

【0058】図3(a)に示すゲートレベルの論理接続では、インバータ21を基本セルとしてインバータの論理記号が示されているが、この論理記号には入力端子A、及び出力端子Zのほか、通常トランジスタのゲート長、内部ノードの接続配線長等の部分的なレイアウト情報しか記載されていないので、これだけでは入力端子A、出力端子Zに対して十分な重み付け情報を得ることはできない。

【0059】しかし、図3(b)に示すCMOSインバータの素子レベルの論理接続では、NMOS22、PMOS23の各入力ゲートまでの部分を入力端子Aに対応させ、それ以外の部分を出力端子Zに対応させて、それぞれ故障の生じ易さを考慮することにより重み付けの情報を得ることができる。

【0060】次に、重み付けの対象となる入力端子A、出力端子Zに対応するレイアウト上の領域を切り分ける。このように切り分けられた領域から、所定の規則にしたがって入力端子A、出力端子Zに仮定する故障の重み付けに役立つ情報をレイアウト関連パラメータ情報として抽出する。このように抽出されたレイアウト関連パラメータ情報の量から、入力端子A、出力端子Bに仮定する故障の重み付け量を定める。

【0061】図3(c)に示すCMOSインバータのパターンレイアウトを例として、パターンレイアウトと仮定故障の重み付けとの関係をさらに具体的に説明する。図3(c)のCMOSインバータは、NMOS形成領域24と、PMOS形成領域25と、ゲート電極26と、ドレイン電極27と、V_{SS}電源配線28とV_{DD}電源配線29とから構成される。

【0062】コンタクト30、31は、PMOSのソース領域とドレイン領域とをそれぞれV_{DD}電源配線29とドレイン電極27とに接続するコンタクトである。また、コンタクト32、33は、NMOSのソース領域とドレイン領域とをそれぞれV_{SS}電源線28とドレイン電極27とに接続するコンタクトである。

【0063】図3(c)に示すように、例えばオープン故障がコンタクト30、32で発生すれば、パターンレイアウト上故障箇所がNMOS、PMOSのゲート26よりも入力端子A側に位置するにもかかわらず出力端子Zに属する故障となる。

【0064】このとき、もしパターンレイアウト上の位置で入力端子側と出力端子側の領域を切り分けたとすれば、前記オープン故障は入力端子Aの故障の重み付けに寄与することになり、回路機能上明らかに妥当でない。

【0065】従って、基本的に、故障を仮定する各基本セルの入力端子及び出力端子に対応する部分の切り分けは素子レベルの論理接続により行い、仮定故障の重み付けに関するレイアウト関連パラメータ量の見積もりはパ

12

ターンレイアウト上で行うのが適切である。一般に、複数の論理ゲートまたは素子で構成された基本セルの場合には、その基本セルの出力端子において仮定される故障と等価なその基本セル内の故障に対応するレイアウト関連パラメータ情報の量(パターンレイアウト部分)をそのセルの出力端子に対応する故障の重み付け量(基本セル内部分)に対応させるべきである。

【0066】なお、パターンレイアウトにおいて、不良を発生しやすい箇所は必ずしも点状に存在するばかりでなく、例えばゲート周辺長に依存して確率的に発生することもあり、また、ゲート絶縁膜に問題がある場合にはゲート面積に依存して確率的に発生する場合もある。従って、ノードの重み付けはパターンレイアウト上で単に不良を発生しやすい箇所を数えるばかりでなく、不良発生に関連する次元の異なる各種の情報を、先に数式を用いて説明したように、所定の規則に従って包括的に抽出することにより行われる。

【0067】先にのべたように、故障モード別の故障発生の様態と発生確率は、あらかじめプロセスTEG等を用いて解析されている場合が多いので、これをレイアウト関連パラメータ情報の量として各論理接続ノード等に仮定する故障の重み付けに用いれば、現実の製造プロセスにおける故障モードと密接に関連した重み付き故障リストが得られる。

【0068】次に図4を用いて、双方向配線41におけるノード領域の設定の方法を説明する。42は入力側が双方向の配線41に接続されたインバータ、43は出力側が双方向の配線41に接続されたトリステート・バッファである。ここでトリステート・バッファとは、出力状態として高レベル、低レベルのほかに、ハイ・インピーダンス(hi-Z)状態を備えるバッファ回路である。

【0069】前記双方向配線41は1つの論理接続ノードを形成し、この論理接続ノードに関して故障を抽出すべき領域は破線で囲まれた双方向配線領域44であると考えられる。なお、インバータ42、及びトリステート・バッファ43をそれぞれ横切るように引かれた破線は、図2(b)で説明したように、素子レベルの論理接続を用いて入力ゲートまでの領域とその他の領域とを切り分けた状態をゲートレベルの論理記号上に概念的に示したものである。

【0070】従って、図4に示す双方向配線41について故障の重み付け量を抽出すべき領域は、図4の破線で囲まれた双方向配線領域44に対応するパターンレイアウト上の領域である。このとき、前記CMOS型トリステート・バッファの出力端子側からみた構成はCMOS型インバータと同様であるから、入力端子に属するレイアウト領域と出力端子に属するレイアウト領域との境界の設定は図3の例に従って行えばよい。

【0071】注意すべき場合として基本セルの複数の出

13

力端子に関わる回路部分が互いに重複していることがある。1例として図5(a)にラッチ回路の場合を示す。図5(a)のラッチ回路は入力クロック・インバータ51と、データ保持用の内部ループを形成するクロック・インバータ52、インバータ53と、出力インバータ54、55から構成される。なお、CLK及びCLKVは互いに位相の反転したクロック信号であり、クロック・インバータは矢示した入力信号が“1”の時インバータとして動作し、“0”の時hi-Z出力を行う。

【0072】このとき、出力端子Q、QNに対応するレイアウト領域は、基本的には破線56、57で囲まれた領域と定義するのが適当ではないかとみられるが、この場合には、前記出力端子Q、QNに共通なレイアウト領域58が存在することに注意しなければならない。

【0073】すなわち、出力端子Q、QNに対応するレイアウト領域は、破線56、57で囲まれた領域であると定義すれば、両者に共通なレイアウト領域58が2重に数えられることになり不都合である。

【0074】この状況を一般化して図5(b)に示す。入力端子A1~A4、出力端子Z1~Z5を備える基本セル60において、66は全ての出力端子に共通なレイアウト領域、61~65は出力端子Z1~Z5に個別に対応するレイアウト領域である。

【0075】出力端子Z1~Z5のいずれかに関わる故障が検出された場合、レイアウト関連パラメータは前記共通なレイアウト領域66と、その故障に個別のレイアウト領域から抽出し、その後他の出力端子に関わる故障が検出されれば、レイアウト関連パラメータは前記他の出力端子に個別なレイアウト部分から抽出されるようにしなければならない。さらに他の出力端子に関わる故障が検出された場合も同様である。

【0076】このような切り分け方は、共通なレイアウト

端子aからBr1まで(コンタクト74含む): β 、 γ 、 δ に共通

Br1からBr2まで: β 、 γ に共通

Br2から端子bまで: β だけに関連

Br2から端子cまで: γ だけに関連

Br1から端子dまで: δ だけに関連

ということになる。上記に存在する共通する部分の扱いは、基本セル内に関して図5(b)で説明した考え方と同様であり、それを基本セル間の接続配線に適用すればよい。なお、図6(a)、図6(b)を比較すると分かるように、論理接続レベルでの接続は、もともと接続配線71を単一のものとして処理しているために、レイアウトレベルでの接続と同じになっていない可能性がある。

【0080】このように、故障の仮定の仕方(今の場合、仮定接続先の端子での故障を別のものと仮定)によっては、レイアウトでの正しい接続情報に基づいて、レイアウト関連パラメータ情報の量を求める必要がある場合があることに注意しておく必要がある。

14

*ト領域66からの重複抽出を避けるための手段であるが、ソフト処理上は各出力端子に関連する領域を求めておき、故障シミュレーションの結果に応じて対応する最終的なレイアウト領域を求めるようにすれば特に不都合を生じない。

【0077】次に、論理回路内部の基本セルの入力端子に故障が仮定された場合のレイアウト関連パラメータ情報の求め方につき、図6を参照しつつ説明する。図6

(a)に示すように、基本セルAの出力端子aからの出力が、基本セルB、C、Dの各入力端子b、c、dに配線71により接続されている場合を考える。

【0078】この図は、論理接続レベルでの接続図を示している。この時、基本セルB、C、Dの各入力端子b、c、dに仮定される故障(それぞれ β 、 γ 、 δ と表現する)に対応付けるべき配線71部分のレイアウト関連パラメータ量を決定する必要がある。図6(b)は、この配線の部分が実レイアウトで実現された例を示したものである。基本セルAの端子aは第2層のA1配線72に接続されており、その他の基本セルB、C、Dの各入力端子b、c、dには第1層のA1配線73が接続されている。

【0079】これら2層のA1配線は、コンタクト74によって接続されており、基本セルAの出力端子aから基本セルB、C、Dの各入力端子b、c、dに信号が供給されるようになっている。ここで、一般に接続配線に関わるレイアウト情報の単位を最初の分岐が生じるまでの有向線分により表現することにすれば、図6(b)の配線には2個の分岐点Br1、Br2が存在することになる。これを各入力端子b、c、dに仮定される故障、それぞれ β 、 γ 、 δ の側からみれば、図6(b)に示すように、

【0081】なお、本発明は上記の実施の形態に限定されることはない。前記第1ないし第4の実施の形態において、従来の故障シミュレーションから得られた故障検出情報リストに対して重み付けすることについて説明したが、必ずしも故障シミュレーション結果を用いる必要はない。例えば、ATPGの出力を図1のテストパターン6として与えれば、同様に本発明の重み付き故障検出率等を含む出力情報を得ることができる。また、上記の実施の形態において、基本セルを対象に説明してきたが、基本セルを回路ブロックとしても同様に実施することができる。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

50 【0082】

15

【発明の効果】上述したように、本発明の故障検出率評価装置と評価方法によれば、システムLSI等の大規模LSIにおいて故障シミュレーションの結果を真に製造現場での品質向上に生かすことができる。

【0083】すなわち、対象回路の各論理接続ノード、及び、内部の各基本セルの入力端子、及び、前記各基本セルの出力端子に仮定される故障に対して、実際のレイアウトデータから抽出される各種データと関連付けて重み付けを行い、従来の故障シミュレーションの結果から重み付きの故障検出率を計算することにより、特に不良品見逃しが問題となりやすい立上げ途上のプロセスを用いたLSI製品の量産において、発生頻度の高い故障に対するテストパターンの故障検出率を高精度に把握することができる。

【0084】また、重み付けされた故障検出率が十分高くなるようにテストパターンを追加作成し、製造品質を効率的に向上させることができるので、従来よりはるかに少ないリソース投入で顧客に不良品が出荷される確率を効果的に削減することができる。

【0085】また、不良品が市場に出回った場合でも戻入品の故障解析を行って不良モードを解明し、その不良モードに強く関連するレイアウト関連パラメータを抽出し、そのパラメータに対応した重み付けを行って故障シミュレーション結果を見直し、重み付けされた故障検出率を向上させるようテストパターン追加することにより、同様な不良モードを含む製品が市場にさらに流出することを速やかに防止することが可能になる。

【0086】また、本発明は人手でテストパターン作成する場合だけでなく、ATPGで製造品質向上に対する寄与の大きいテストパターンを発生する場合にも、同様に活用することができる。

【図面の簡単な説明】

【図1】本発明の第1、第2の実施の形態に係る故障検出率評価装置と評価方法を示す流れ図。

【図2】本発明の第3の実施の形態に係る故障検出率評価装置と評価方法を示す流れ図。

【図3】CMOSインバータの入出力端子に対するレイアウト領域の切り分け方を示す図であって、(a)はゲートレベルの論理接続図。(b)は素子レベルの論理接続図。(c)はレイアウトレベルの論理接続図。

【図4】双方向配線からなる論理接続ノードに対応する領域の切り分け方を示す図。

【図5】複数の出力端子に対応するレイアウト領域が重複する場合を示す図であって、(a)はラッチ回路を示す図。(b)はレイアウト領域が重複する場合を一般化して示す図。

【図6】基本セルの入力端子に故障の仮定された場合の

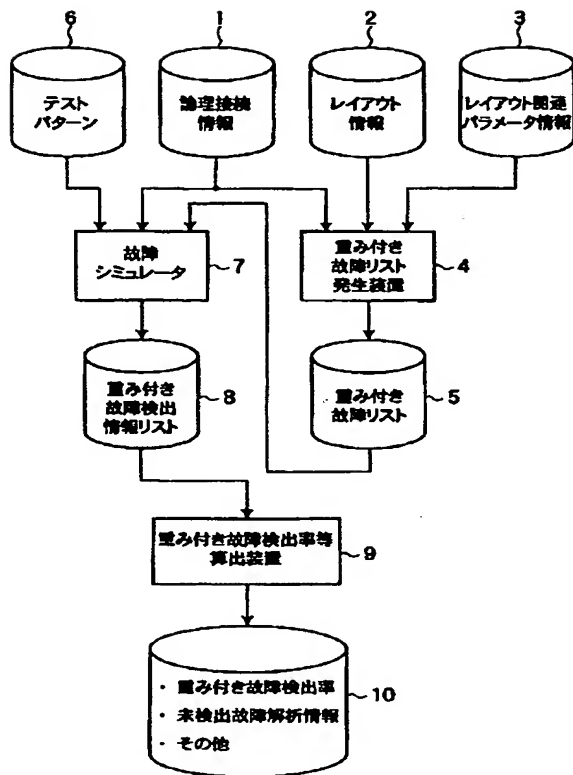
16

レイアウト関連パラメータ情報の求め方を示す図であって、(a)は基本セルAの出力端子が基本セルB、C、Dの入力端子に接続される場合を示す図。(b)は配線部分の実レイアウトを示す図。

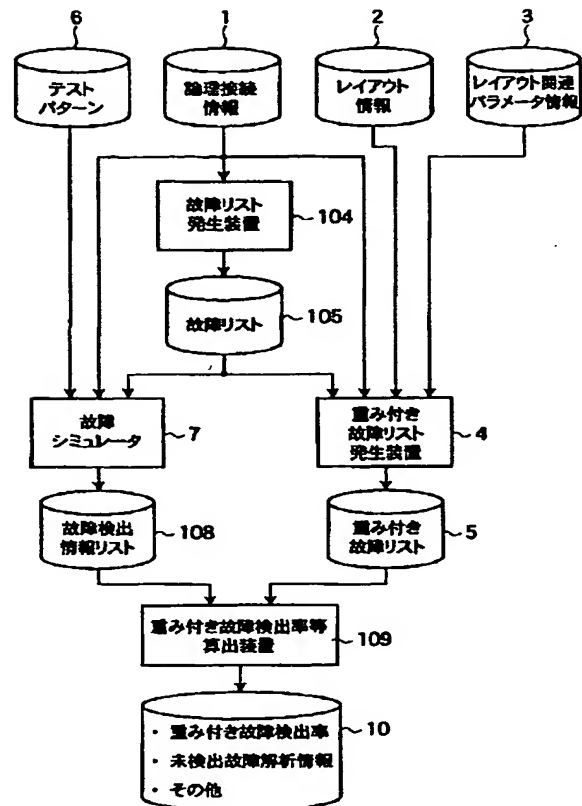
【符号の説明】

- 1…論理接続情報
- 2…レイアウト情報
- 3…レイアウト関連パラメータ情報
- 4…重み付き故障リスト発生装置
- 5…重み付き故障リスト
- 6…テストパターン
- 7…故障シミュレータ
- 8…重み付き故障検出情報リスト
- 9…重み付き故障検出率等算出装置
- 10…重み付き故障検出率、未検出故障解析情報等の出力情報
- 21…インバータ
- 22…NMOS
- 23…PMOS
- 24…NMOS形成領域
- 25…PMOS形成領域
- 26…ゲート電極
- 27…ドレイン電極
- 28…V_{SS}電源配線
- 29…V_{DD}電源配線
- 30～33…コンタクト
- 41…双方向配線
- 42…インバータ
- 43…トライステート・バッファ
- 44…双方向配線領域
- 51…入力インバータ
- 52、53…内部ループインバータ
- 54、55…出力インバータ
- 56…出力端子Qの領域
- 57…出力端子QNの領域
- 58…共通領域
- 60…基本セル
- 61～65…出力端子の個別領域
- 66…出力端子の共通領域
- 71…論理的な接続配線
- 72…第2層のA1配線
- 73…第1層のA1配線
- 74…コンタクト
- 104…故障リスト発生装置
- 105…故障リスト
- 108…故障検出情報リスト
- 109…重み付き故障検出率等算出装置

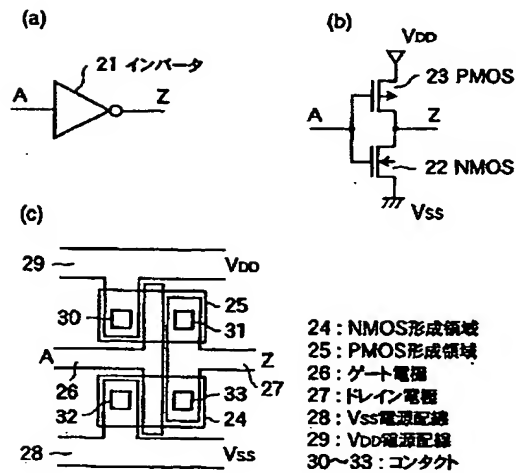
【図1】



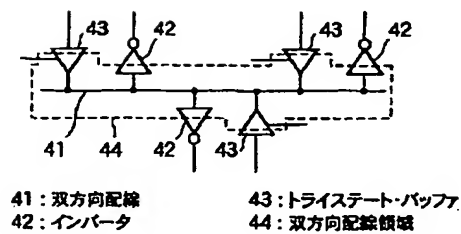
【図2】



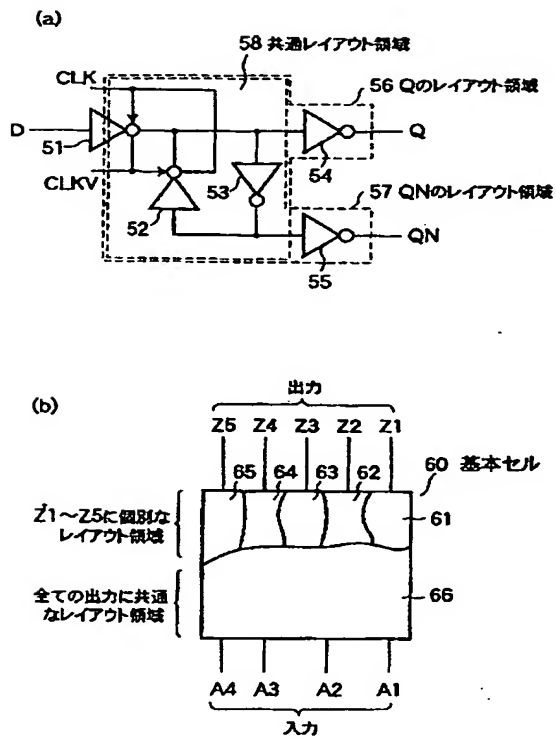
【図3】



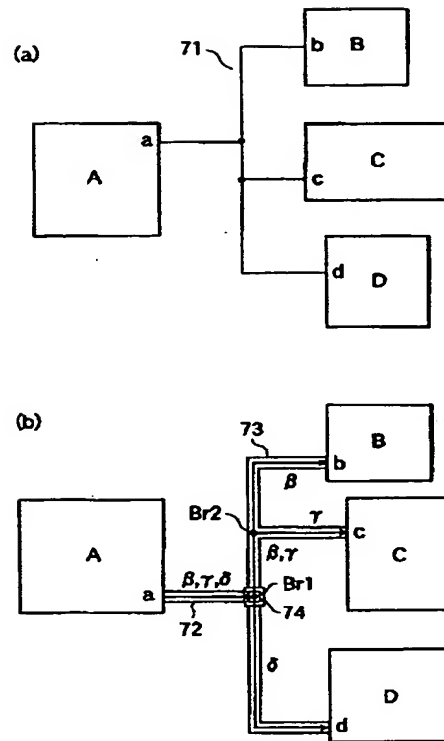
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 7
H01L 21/82

識別記号

FI
H01L 21/82

テームコード (参考)
T